

日本国特許庁  
JAPAN PATENT OFFICE

US  
821 U.S. PRO  
10/051062  
01/22/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 1月23日

出願番号

Application Number:

特願2001-013923

出願人

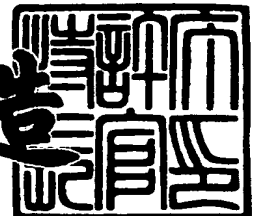
Applicant(s):

日本電気株式会社

2001年11月 2日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3096857

【書類名】 特許願

【整理番号】 62411647

【あて先】 特許庁長官殿

【国際特許分類】 G06F 11/00  
G06F 13/36

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 大和田 政男

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100088890

    【弁理士】

    【氏名又は名称】 河原 純一

【手数料の表示】

    【予納台帳番号】 009690

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9001717

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 PCIバスの障害解析容易化方式

【特許請求の範囲】

【請求項1】 プロセッサ部がPCIバスを介して複数のPCIデバイスに接続されたコンピュータ装置において、

PCIターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記複数のPCIデバイスと、

前記PCIバス上で実行されるコマンドのターゲットアドレスおよび前記複数のPCIデバイスからのターゲット動作信号を監視し、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答した場合に前記プロセッサ部にエラー報告信号を上げるPCIバス監視回路と

を有することを特徴とするPCIバスの障害解析容易化方式。

【請求項2】 前記PCIバス監視回路が、コンピュータ装置の立ち上げ時に前記PCIバスの動作をスヌープし前記複数のPCIデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶するアドレス格納回路と、前記PCIバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記複数のPCIデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてPCIターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのPCIサイクルに対して複数のPCIターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのPCIサイクルに対してアクティブになった複数のターゲット動作信号とを記憶し、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答したことをエラー報告信号として前記プロセッサ部に報告するエラーステータス回路とから構成されることを特徴とする請求項1記載のPCIバスの障害解析容易化方式。

【請求項3】 前記PCIバス監視回路が、コンピュータ装置の立ち上げ時に前記プロセッサ部により前記複数のPCIデバイスのベースアドレスおよびサイズを

ターゲット動作信号と対応づけて記憶されるアドレス格納回路と、前記PCIバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記複数のPCIデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてPCIターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのPCIサイクルに対して複数のPCIターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのPCIサイクルに対してアクティブになった複数のターゲット動作信号とを記憶し、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答したことをエラー報告信号として前記プロセッサ部に報告するエラーステータス回路とから構成されることを特徴とする請求項1記載のPCIバスの障害解析容易化方式。

【請求項4】プロセッサ部がPCIバスを介して複数のPCIデバイスに接続されたコンピュータ装置において、

PCIターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記複数のPCIデバイスと、

前記PCIバス上で実行されるコマンドのターゲットアドレスおよび前記複数のPCIデバイスからのターゲット動作信号を監視し、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答した場合に前記PCIバスをリセットするPCIバス監視回路と

を有することを特徴とするPCIバスの障害解析容易化方式。

【請求項5】前記PCIバス監視回路が、コンピュータ装置の立ち上げ時に前記PCIバスの動作をスヌープし前記複数のPCIデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶するアドレス格納回路と、前記PCIバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記複数のPCIデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてPCIターゲットデバイスを特定するターゲットデバイス選択回路と、前

記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのPCIサイクルに対して複数のPCIターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのPCIサイクルに対してアクティブになった複数のターゲット動作信号とを記憶するエラーステータス回路と、前記エラーステータス回路の内容を保持したまま前記PCIバスのリセットを実行し前記PCIバスに接続されたすべてのPCIデバイスをリセットするPCIリセット生成回路とから構成されることを特徴とする請求項4記載のPCIバスの障害解析容易化方式。

【請求項6】前記PCIバス監視回路が、コンピュータ装置の立ち上げ時に前記プロセッサ部により前記複数のPCIデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶されるアドレス格納回路と、前記PCIバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記複数のPCIデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてPCIターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのPCIサイクルに対して複数のPCIターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのPCIサイクルに対してアクティブになった複数のターゲット動作信号とを記憶するエラーステータス回路と、前記エラーステータス回路の内容を保持したまま前記PCIバスのリセットを実行し前記PCIバスに接続されたすべてのPCIデバイスをリセットするPCIリセット生成回路とから構成されることを特徴とする請求項4記載のPCIバスの障害解析容易化方式。

【請求項7】プロセッサ部がPCIバスを介して複数のPCIデバイスに接続されたコンピュータ装置において、  
PCIターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記プロセッサ部と、

PCI ターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記複数の PCI デバイスと、

前記 PCI バス上で実行されるコマンドのターゲットアドレスと前記プロセッサ部および前記複数の PCI デバイスからのターゲット動作信号とを監視し、1つの PCI サイクルに対して複数の PCI ターゲットデバイスが応答した場合に前記プロセッサ部にエラー報告信号を上げる PCI バス監視回路とを有することを特徴とする PCI バスの障害解析容易化方式。

【請求項 8】前記 PCI バス監視回路が、コンピュータ装置の立ち上げ時に前記 PCI バスの動作をスヌープし前記プロセッサ部および前記複数の PCI デバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶するアドレス格納回路と、前記 PCI バス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記プロセッサ部および前記複数の PCI デバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいて PCI ターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つの PCI サイクルに対して複数の PCI ターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つの PCI サイクルに対してアクティブになった複数のターゲット動作信号とを記憶し、1つの PCI サイクルに対して複数の PCI ターゲットデバイスが応答したことをエラー報告信号として前記プロセッサ部に報告するエラーステータス回路とから構成されることを特徴とする請求項 7 記載の PCI バスの障害解析容易化方式。

【請求項 9】前記 PCI バス監視回路が、コンピュータ装置の立ち上げ時に前記プロセッサ部により前記プロセッサ部および前記複数の PCI デバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶されるアドレス格納回路と、前記 PCI バス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記プロセッサ部および前記複数の PCI デバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一

時格納されたターゲットアドレスとに基づいてPCIターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのPCIサイクルに対して複数のPCIターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのPCIサイクルに対してアクティブになった複数のターゲット動作信号とを記憶し、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答したことをエラー報告信号として前記プロセッサ部に報告するエラーステータス回路とから構成されることを特徴とする請求項7記載のPCIバスの障害解析容易化方式。

【請求項10】プロセッサ部がPCIバスを介して複数のPCIデバイスに接続されたコンピュータ装置において、

PCIターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記プロセッサ部と、

PCIターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記複数のPCIデバイスと、

前記PCIバス上で実行されるコマンドのターゲットアドレスと前記プロセッサ部および前記複数のPCIデバイスからのターゲット動作信号とを監視し、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答した場合に前記PCIバスをリセットするPCIバス監視回路と

を有することを特徴とするPCIバスの障害解析容易化方式。

【請求項11】前記PCIバス監視回路が、コンピュータ装置の立ち上げ時に前記PCIバスの動作をスヌープし前記プロセッサ部および前記複数のPCIデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶するアドレス格納回路と、前記PCIバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記プロセッサ部および前記複数のPCIデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてPCIターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回

路の結果とターゲット動作信号の状態とを比較し1つのPCIサイクルに対して複数のPCIターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのPCIサイクルに対してアクティブになった複数のターゲット動作信号とを記憶するエラーステータス回路と、前記エラーステータス回路の内容を保持したまま前記PCIバスのリセットを実行し前記PCIバスに接続されたすべてのPCIデバイスをリセットするPCIリセット生成回路とから構成されることを特徴とする請求項10記載のPCIバスの障害解析容易化方式。

【請求項12】前記PCIバス監視回路が、コンピュータ装置の立ち上げ時に前記プロセッサ部により前記プロセッサ部および前記複数のPCIデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶されるアドレス格納回路と、前記PCIバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記プロセッサ部および前記複数のPCIデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてPCIターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのPCIサイクルに対して複数のPCIターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのPCIサイクルに対してアクティブになった複数のターゲット動作信号とを記憶するエラーステータス回路と、前記エラーステータス回路の内容を保持したまま前記PCIバスのリセットを実行し前記PCIバスに接続されたすべてのPCIデバイスをリセットするPCIリセット生成回路とから構成されることを特徴とする請求項10記載のPCIバスの障害解析容易化方式。

【請求項13】前記プロセッサ部が、マイクロプロセッサと、ホストブリッジと、メモリとからなり、前記ターゲット動作信号が前記ホストブリッジから前記PCIバス監視回路に供給されることを特徴とする請求項7または請求項10記載のPCIバスの障害解析容易化方式。

【発明の詳細な説明】



## 【0001】

## 【発明の属する技術分野】

本発明はPCI (Peripheral Component Interconnect) バスの障害解析容易化方式に関し、特にプロセッサ部がPCIバスを介して複数のPCIデバイスに接続されたコンピュータ装置におけるPCIバスの障害解析容易化方式に関する。なお、PCIバスの規格は、PCI Local Bus Specification Revision 2.1 (以下、仕様書という) 等に詳細に規定されている。

## 【0002】

## 【従来の技術】

従来、PCIバスを持つコンピュータ装置のエラー検出手段として、アドレスのパリティエラー検出時にSERR (System Error) 信号をアサートする方法、データのパリティエラー検出時にPERR (Parity Error) をアサートする方法、PCIターゲットデバイスがその他のエラーを検出時にターゲットアボートで転送を終了する方法などが用意されている。

## 【0003】

## 【発明が解決しようとする課題】

しかし、これら従来の方法には、次のような問題点があった。

## 【0004】

第1の問題点は、上記のエラー検出手段はすべてPCIバス上の動作がPCIのプロトコルに則り正しく行われている場合の方法であり、PCIデバイスの故障などにより、1つのPCIサイクルに対して2つ以上のターゲットデバイスが応答してしまい、PCIプロトコルが不正になってしまった場合などはエラーを検出することができない可能性が高かった。さらに、PCIプロトコルの不正は、PCIバスのデッドロックにもつながり、PCIバスをシステムバスとして使用しているコンピュータ装置においては重大な障害につながるがあった。

## 【0005】

第2の問題点は、上記のような場合に、仮にPCIマスタデバイスがPCIバスで何らかのエラーが発生したことを検出し、プロセッサに報告できたとしても、

その原因を特定することは非常に困難であった。

【0006】

本発明の目的は、上述の点に鑑み、1つのPCIサイクルに複数のPCIターゲットデバイスが応答し、PCIプロトコルが不正になった場合などのエラー検出を可能にするPCIバスの障害解析容易化方式を提供することにある。

【0007】

また、本発明の他の目的は、PCIプロトコルが不正になった場合などのエラー検出時に、さらにその原因を特定することを可能にするPCIバスの障害解析容易化方式を提供することにある。

【0008】

なお、PCIバスに関連する先行技術文献としては、特開2000-259555、特開平09-251439、特開平10-293744等があるが、いずれもPCIバスの障害解析に関するものではない。

【0009】

【課題を解決するための手段】

本発明のPCIバスの障害解析容易化方式は、プロセッサ部がPCIバスを介して複数のPCIデバイスに接続されたコンピュータ装置において、PCIターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記複数のPCIデバイスと、前記PCIバス上で実行されるコマンドのターゲットアドレスおよび前記複数のPCIデバイスからのターゲット動作信号を監視し、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答した場合に前記プロセッサ部にエラー報告信号を上げるPCIバス監視回路とを有することを特徴とする。

【0010】

また、本発明のPCIバスの障害解析容易化方式は、前記PCIバス監視回路が、コンピュータ装置の立ち上げ時に前記PCIバスの動作をスヌープし前記複数のPCIデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶するアドレス格納回路と、前記PCIバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記複数

のPCIデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてPCIターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのPCIサイクルに対して複数のPCIターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのPCIサイクルに対してアクティブになった複数のターゲット動作信号とを記憶し、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答したことをエラー報告信号として前記プロセッサ部に報告するエラーステータス回路とから構成されることを特徴とする。

## 【0011】

さらに、本発明のPCIバスの障害解析容易化方式は、前記PCIバス監視回路が、コンピュータ装置の立ち上げ時に前記プロセッサ部により前記複数のPCIデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶されるアドレス格納回路と、前記PCIバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記複数のPCIデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてPCIターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのPCIサイクルに対して複数のPCIターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのPCIサイクルに対してアクティブになった複数のターゲット動作信号とを記憶し、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答したことをエラー報告信号として前記プロセッサ部に報告するエラーステータス回路とから構成されることを特徴とする。

## 【0012】

さらにまた、本発明のPCIバスの障害解析容易化方式は、プロセッサ部がPCIバスを介して複数のPCIデバイスに接続されたコンピュータ装置において、

PCIターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記複数のPCIデバイスと、前記PCIバス上で実行されるコマンドのターゲットアドレスおよび前記複数のPCIデバイスからのターゲット動作信号を監視し、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答した場合に前記PCIバスをリセットするPCIバス監視回路とを有することを特徴とする。

## 【0013】

また、本発明のPCIバスの障害解析容易化方式は、前記PCIバス監視回路が、コンピュータ装置の立ち上げ時に前記PCIバスの動作をスヌープし前記複数のPCIデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶するアドレス格納回路と、前記PCIバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記複数のPCIデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてPCIターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのPCIサイクルに対して複数のPCIターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのPCIサイクルに対してアクティブになった複数のターゲット動作信号とを記憶するエラーステータス回路と、前記エラーステータス回路の内容を保持したまま前記PCIバスのリセットを実行し前記PCIバスに接続されたすべてのPCIデバイスをリセットするPCIリセット生成回路とから構成されることを特徴とする。

## 【0014】

さらに、本発明のPCIバスの障害解析容易化方式は、前記PCIバス監視回路が、コンピュータ装置の立ち上げ時に前記プロセッサ部により前記複数のPCIデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶されるアドレス格納回路と、前記PCIバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記複数のPCI

I デバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてP C I ターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのP C I サイクルに対して複数のP C I ターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのP C I サイクルに対してアクティブになった複数のターゲット動作信号とを記憶するエラーステータス回路と、前記エラーステータス回路の内容を保持したまま前記P C I バスのリセットを実行し前記P C I バスに接続されたすべてのP C I デバイスをリセットするP C I リセット生成回路とから構成されることを特徴とする。

【0015】

さらにまた、本発明のP C I バスの障害解析容易化方式は、プロセッサ部がP C I バスを介して複数のP C I デバイスに接続されたコンピュータ装置において、P C I ターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記プロセッサ部と、P C I ターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記複数のP C I デバイスと、前記P C I バス上で実行されるコマンドのターゲットアドレスと前記プロセッサ部および前記複数のP C I デバイスからのターゲット動作信号とを監視し、1つのP C I サイクルに対して複数のP C I ターゲットデバイスが応答した場合に前記プロセッサ部にエラー報告信号を上げるP C I バス監視回路とを有することを特徴とする。

【0016】

また、本発明のP C I バスの障害解析容易化方式は、前記P C I バス監視回路が、コンピュータ装置の立ち上げ時に前記P C I バスの動作をスヌープし前記プロセッサ部および前記複数のP C I デバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶するアドレス格納回路と、前記P C I バス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記プロセッサ部および前記複数のP C I デバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてP C I ターゲットデバイスを特定するターゲットデバイス選択回

路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのP C Iサイクルに対して複数のP C Iターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのP C Iサイクルに対してアクティブになった複数のターゲット動作信号とを記憶し、1つのP C Iサイクルに対して複数のP C Iターゲットデバイスが応答したことをエラー報告信号として前記プロセッサ部に報告するエラーステータス回路とから構成されることを特徴とする。

## 【 0 0 1 7 】

さらに、本発明のP C Iバスの障害解析容易化方式は、前記P C Iバス監視回路が、コンピュータ装置の立ち上げ時に前記プロセッサ部により前記プロセッサ部および前記複数のP C Iデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶されるアドレス格納回路と、前記P C Iバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記プロセッサ部および前記複数のP C Iデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてP C Iターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのP C Iサイクルに対して複数のP C Iターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのP C Iサイクルに対してアクティブになった複数のターゲット動作信号とを記憶し、1つのP C Iサイクルに対して複数のP C Iターゲットデバイスが応答したことをエラー報告信号として前記プロセッサ部に報告するエラーステータス回路とから構成されることを特徴とする。

## 【 0 0 1 8 】

さらにまた、本発明のP C Iバスの障害解析容易化方式は、プロセッサ部がP C Iバスを介して複数のP C Iデバイスに接続されたコンピュータ装置において、P C Iターゲットデバイスとしての動作時にターゲット動作信号をアクティブにする前記プロセッサ部と、P C Iターゲットデバイスとしての動作時にターゲッ

ト動作信号をアクティブにする前記複数のP C Iデバイスと、前記P C Iバス上で実行されるコマンドのターゲットアドレスと前記プロセッサ部および前記複数のP C Iデバイスからのターゲット動作信号とを監視し、1つのP C Iサイクルに対して複数のP C Iターゲットデバイスが応答した場合に前記P C IバスをリセットするP C Iバス監視回路とを有することを特徴とする。

## 【0019】

また、本発明のP C Iバスの障害解析容易化方式は、前記P C Iバス監視回路が、コンピュータ装置の立ち上げ時に前記P C Iバスの動作をスヌープし前記プロセッサ部および前記複数のP C Iデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶するアドレス格納回路と、前記P C Iバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記プロセッサ部および前記複数のP C Iデバイスのベースアドレスおよびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいてP C Iターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し1つのP C Iサイクルに対して複数のP C Iターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの1つのP C Iサイクルに対してアクティブになった複数のターゲット動作信号とを記憶するエラーステータス回路と、前記エラーステータス回路の内容を保持したまま前記P C Iバスのリセットを実行し前記P C Iバスに接続されたすべてのP C IデバイスをリセットするP C Iリセット生成回路とから構成されることを特徴とする。

## 【0020】

さらに、本発明のP C Iバスの障害解析容易化方式は、前記P C Iバス監視回路が、コンピュータ装置の立ち上げ時に前記プロセッサ部により前記プロセッサ部および前記複数のP C Iデバイスのベースアドレスおよびサイズをターゲット動作信号と対応づけて記憶されるアドレス格納回路と、前記P C Iバス上のターゲットアドレスを一時格納するアドレスラッチ回路と、前記アドレス格納回路に記憶された前記プロセッサ部および前記複数のP C Iデバイスのベースアドレスお

よびサイズと前記アドレスラッチ回路に一時格納されたターゲットアドレスとに基づいて P C I ターゲットデバイスを特定するターゲットデバイス選択回路と、前記ターゲットデバイス選択回路の結果とターゲット動作信号の状態とを比較し 1 つの P C I サイクルに対して複数の P C I ターゲットデバイスの応答があったことを検出するターゲット比較回路と、前記ターゲットデバイス選択回路の結果と前記ターゲット比較回路からの 1 つの P C I サイクルに対してアクティブになった複数のターゲット動作信号とを記憶するエラーステータス回路と、前記エラーステータス回路の内容を保持したまま前記 P C I バスのリセットを実行し前記 P C I バ스에接続されたすべての P C I デバイスをリセットする P C I リセット生成回路とから構成されることを特徴とする。

## 【 0 0 2 1 】

さらにまた、本発明の P C I バスの障害解析容易化方式は、前記プロセッサ部が、マイクロプロセッサと、ホストブリッジと、メモリとからなり、前記ターゲット動作信号が前記ホストブリッジから前記 P C I バス監視回路に供給されることを特徴とする。

## 【 0 0 2 2 】

本発明の P C I バスの障害解析容易化方式は、P C I バ스에接続された P C I デバイスが P C I ターゲットデバイスとしての動作時にアクティブにするターゲット動作信号を設け、それを監視することにより、P C I アドレスバスおよび特定の P C I デバイスのベースアドレスレジスタの故障等により発生する、1 つの P C I サイクルに対する複数の P C I ターゲットデバイスからの応答を検知し、その原因となった、本来 P C I ターゲットデバイスとして応答してはならない P C I デバイスの特定を容易に行うものである。

## 【 0 0 2 3 】

図 1 において、P C I バス監視回路 2 0 0 は、コンピュータ装置の立ち上げ時にプロセッサ部 1 から P C I デバイス a 1 0 0 ~ P C I デバイス d 1 3 0 に設定されたベースアドレスを記憶し、その後 P C I バス 1 0 で通信が行われる場合、P C I マスタデバイスから出力されるターゲットアドレスをスヌープして解析し、P C I マスタデバイスが通信を行おうとしている P C I ターゲットデバイスを特



定する。また、PCIバス監視回路200は、PCIデバイスa100～PCIデバイスd130がPCIターゲットデバイスとしての動作時にアクティブにするターゲット動作信号a20～ターゲット動作信号d50を入力し、PCIマスタデバイスからの要求で応答したPCIターゲットデバイスを検知することができる。これにより、同時に複数のターゲット動作信号を受信した場合、PCIアドレスバスまたは特定のPCIデバイスのベースアドレスレジスタの故障等により、本来PCIターゲットデバイスとして応答してはならないPCIデバイスから誤応答が発生したと判断でき、さらに誤応答をしたPCIデバイスを特定することができ、その結果から障害の解析を容易に行うことができる。

【0024】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0025】

(1) 第1の実施の形態

図1は、本発明の第1の実施の形態に係るPCIバスの障害解析容易化方式の構成を示す回路ブロック図である。図1を参照すると、本実施の形態に係るPCIバスの障害解析容易化方式は、プロセッサ部1と、PCIバス10と、プロセッサ部1からの制御で動作する複数のPCIデバイスa100～PCIデバイスd130と、PCIバス10上で実行されるコマンドのターゲットアドレスおよびPCIデバイスa100～PCIデバイスd130のPCIターゲットデバイスとしての動作状態を監視するPCIバス監視回路200とを有している。

【0026】

プロセッサ部1は、命令を発行するマイクロプロセッサ2と、マイクロプロセッサ2とPCIバス10とを接続するホストブリッジ3と、マイクロプログラムの格納領域やマイクロプロセッサ2のワーク領域として使用されるメモリ4とにより構成される。

【0027】

プロセッサ部1は、コンピュータ装置の立ち上げ時にPCIデバイスa100～PCIデバイスd130の初期設定としてベースアドレスの設定を行ったり、コ

ンピュータ装置の立ち上げ後はPCIデバイスa100～PCIデバイスd130に指示を発行し、PCIバス10を使った転送などの制御を行ったりする。

【0028】

PCIデバイスa100～PCIデバイスd130は、プロセッサ部1からの指示により、各PCIデバイス内で処理を行ったり、他のPCIデバイスとの間でデータ転送を実行したりする。PCIバス10でデータ転送等が実行される場合、PCIターゲットデバイスとなるPCIデバイスa100～PCIデバイスd130は、ターゲット動作信号a20～ターゲット動作信号d50をアクティブにする。その他のPCIバス10でのデータ転送等の動作は、PCIの仕様書にある通りである。

【0029】

次に、PCIバス監視回路200のより詳細な構成について説明する。

【0030】

図2は、PCIバス監視回路200のより詳細な構成を示す回路ブロック図である。図2を参照すると、PCIバス監視回路200は、アドレス格納回路201と、アドレスラッチ回路202と、ターゲットデバイス選択回路203と、ターゲット比較回路204と、エラーステータス回路205とにより構成される。

【0031】

アドレス格納回路201は、コンピュータ装置の立ち上げ時にPCIデバイスa100～PCIデバイスd130のベースアドレスおよびサイズを格納する。

【0032】

アドレスラッチ回路202は、PCIバス10で実行されるPCIバス動作を監視し、実行されるターゲットアドレスを一時格納する。

【0033】

ターゲットデバイス選択回路203は、アドレス格納回路201に格納されたPCIデバイスa100～PCIデバイスd130のベースアドレスおよびサイズをもとに、PCIマスタデバイスがアクセス要求をしているPCIターゲットデバイスの特定を行う。

【0034】

ターゲット比較回路204は、ターゲットデバイス選択回路203の結果と、ターゲット動作信号a20～ターゲット動作信号d50との比較を行う。

【0035】

エラーステータス回路205は、1つのPCIサイクルに対して複数のターゲット動作信号がアクティブになった場合に、ターゲットデバイス選択回路203の結果と、アクティブになったターゲット動作信号とを記憶し、プロセッサ部1に対してエラー報告信号210でエラーを通知する機能を有している。

【0036】

図3は、プロセッサ部1が作成するPCIデバイスa100～PCIデバイスd130のメモリ空間のアドレスマップの一例を示している。

【0037】

図4は、プロセッサ部1がPCIデバイスa100～PCIデバイスd130の初期設定を実施後、プロセッサ部1からの指示によりPCIデバイスa100がPCIデバイスb110のメモリ空間からのリード動作を実施したときに、PCIデバイスd130から誤応答が発生した場合の動作の概略フローを示している。なお、ステップS101～S103が初期設定動作である。

【0038】

次に、このように構成された第1の実施の形態に係るPCIバスの障害解析容易化方式の動作について、図1ないし図4を参照して説明する。

【0039】

まず、プロセッサ部1は、PCIデバイスa100～PCIデバイスd130のメモリ空間の要求サイズをチェックする(図4のステップS101)。なお、メモリ空間の要求サイズのチェック方法については、PCIの仕様書にある通りである。

【0040】

次に、プロセッサ部1は、PCIメモリ空間のアドレスマップを作成し(図4のステップS102)、作成したPCIメモリ空間のアドレスマップに従いPCIデバイスa100～PCIデバイスd130のメモリ空間ベースアドレスレジスタ(図示せず)に値を設定する(図4のステップS103)。

## 【0041】

このとき、PCIバス監視回路200は、PCIバス10上の動作をスヌープし、PCIデバイスa100～PCIデバイスd130のベースアドレスおよびサイズをターゲット動作信号a20～ターゲット動作信号d50と対応づけてアドレス格納回路201に格納する（図4のステップS201）。以上が初期設定時の動作である。

## 【0042】

次に、プロセッサ部1がPCIデバイスa100に「PCIメモリ空間アドレスの200000H番地からデータの読み出し指示」を行うと（図4のステップS104）、PCIデバイスa100は、PCIマスタデバイスとして、PCIバス10にメモリリードコマンドとともに200000Hのアドレスを出力し、PCIターゲットデバイスからの応答を待つ（図4のステップS301）。

## 【0043】

このとき、PCIバス監視回路200では、アドレスラッチ回路202が、PCIバス10上のターゲットアドレスを一時格納し、ターゲットデバイス選択回路203が、アドレス格納回路201に格納されたPCIデバイスa100～PCIデバイスd130のベースアドレスおよびサイズをもとに、PCIバス10上のターゲットアドレスに対応するPCIターゲットデバイスがPCIデバイスb110であることを特定する（図4のステップS202）。故障などの無い正常な状態では、PCIデバイスb110がPCIターゲットデバイスとして応答し、PCIバス10上の転送は正常に終了する。

## 【0044】

次に、PCIデバイスd130のメモリ空間ベースアドレスレジスタのビット22が故障により、“0”固定となってしまった場合の動作について説明する。

## 【0045】

図3を参照すると、この場合、本来PCIメモリ空間の600000H～7FFFFFHに割り当てられているPCIデバイスd130は、上記故障によりメモリ空間が移動して、200000H～3FFFFFFHに割り当てられたように動作する。

## 【0046】

図4のステップS301およびステップS202までの動作は、上述の説明と同様である。

## 【0047】

PCIデバイスb110がPCIターゲットデバイスとして応答し、この応答タイミングと同時または異なるタイミングでPCIデバイスd130もPCIデバイスa100に対してPCIターゲットデバイスとして応答する（図4のステップS302）。

## 【0048】

ステップS302の結果として、PCIバス10上のプロトコルは不正になる。

## 【0049】

PCIバス監視回路200では、ターゲット比較回路204が、ターゲット動作信号a20～ターゲット動作信号d50を監視し、ターゲット動作信号b30とターゲット動作信号d50とが同時にアクティブになったことを検出し、PCIバス10上で、1つのPCIサイクルに対して複数のPCIターゲットデバイスから応答が発生したことを検出する（図4のステップS203）。

## 【0050】

次に、ターゲット比較回路204が、エラーステータス回路205にターゲット動作信号b30とターゲット動作信号d50とがアクティブになったことを記憶するとともに、ターゲットデバイス選択回路203から特定されるPCIターゲットデバイスがPCIデバイスb110であることを記憶する（図4のステップS204）。

## 【0051】

続いて、エラーステータス回路205が、1つのPCIサイクルに対して複数のPCIターゲットデバイスから応答があったことをエラー報告信号210でプロセッサ部1に割り込み報告する（図4のステップS205）。

## 【0052】

プロセッサ部1は、PCIバス10を介してPCIバス監視回路200のエラーステータス回路205を参照し、ターゲット動作信号b30とターゲット動作信

号d50とがアクティブになったことを記憶するとともに、ターゲットデバイス選択回路203から特定されるPCIターゲットデバイスがPCIデバイスb110であることから、PCIデバイスd140が誤応答したと判断する(図4のステップS105)。

【0053】

以降、プロセッサ部1は、エラーリカバリ処理を実行する(図4のステップS106)。

【0054】

このようにして、初期設定時にアドレス格納回路201に格納されたPCIデバイスa100～PCIデバイスd130のベースアドレスおよびサイズを参照し、ターゲット動作信号a20～ターゲット動作信号d50を監視することにより、2つのPCIデバイスb110およびPCIデバイスd140が1つのPCIサイクルに対してPCIターゲットデバイスとして応答したことを検出することができる。さらに、その原因がPCIデバイスd140の問題であることを検出することができる。

【0055】

ところで、上記動作の説明では、PCIメモリ空間のリード時の動作を例にとって説明したが、PCI I/O空間においても初期設定時にアドレス格納回路201に情報を記憶することにより検出が可能であるし、コンフィグレーションサイクルを除く、PCIターゲットデバイスが応答するコマンドについても検出が可能である。

【0056】

このように、第1の実施の形態によれば、PCIバス10において、1つのPCIサイクルに対して複数のPCIターゲットデバイスが応答した場合の障害解析を容易に、かつ確実に行える。

【0057】

(2) 第2の実施の形態

図5は、本発明の第2の実施の形態に係るPCIバスの障害解析容易化方式におけるPCIバス監視回路200aの構成を示す回路ブロック図である。このPC

Iバス監視回路200aは、図2に示した第1の実施の形態に係るPCIバスの障害解析容易化方式におけるPCIバス監視回路200と比較して、ターゲット動作信号a20～ターゲット動作信号d50がアドレス格納回路201に入力されていない点だけが異なる。

【0058】

図6は、第2の実施の形態に係るPCIバスの障害解析容易化方式の処理例を示すフローチャートである。この処理は、図4に示した第1の実施の形態に係るPCIバスの障害解析容易化方式の処理と比較して、ステップS103がステップS103'に置き換えられているとともに、ステップS201が削除されている点だけが異なる。

【0059】

このように構成された第2の実施の形態に係るPCIバスの障害解析容易化方式では、第1の実施の形態に係るPCIバスの障害解析容易化方式がPCIバス監視回路200でプロセッサ部1の初期設定動作をスヌープし、PCIデバイスa100～PCIデバイスd130のベースアドレスおよびサイズをアドレス格納回路201に格納していたのに対して（図4のステップS201）、プロセッサ部1が初期設定動作の一動作としてアドレス格納回路201にPCIデバイスa100～PCIデバイスd130のベースアドレスおよびサイズをターゲット動作信号a20～ターゲット動作信号d50と対応づけて設定する（図6のステップS103'）。その他の動作は、第1の実施の形態に係るPCIバスの障害解析容易化方式の場合と全く同様である。

【0060】

このように、第2の実施の形態では、ターゲット動作信号a20～ターゲット動作信号d50をアドレス格納回路201に入力する必要がなくなるので、第1の実施の形態に比べて、PCIバス監視回路200aの回路を簡略化できる効果がある。

【0061】

（3）第3の実施の形態

図7は、本発明の第3の実施の形態に係るPCIバスの障害解析容易化方式の構

成を示す回路ブロック図である。本実施の形態に係る P C I バスの障害解析容易化方式は、第 1 の実施の形態に係る P C I バスの障害解析容易化方式と比較して、エラー報告信号 2 1 0 を除いた点だけが異なる。ただし、P C I バス監視回路 2 0 0 は、P C I バス監視回路 2 0 0 b に変更されている。

#### 【0062】

図 8 は、P C I バス監視回路 2 0 0 b のより詳細な構成を示す回路ブロック図である。この P C I バス監視回路 2 0 0 b は、図 2 に示した第 1 の実施の形態に係る P C I バスの障害解析容易化方式における P C I バス監視回路 2 0 0 と比較して、エラーステータス回路 2 0 5 の結果（エラー報告信号 2 1 0 に相当）が入力される P C I リセット生成回路 2 0 6 が増設されて、エラー報告信号 2 1 0 が P C I バス監視回路 2 0 0 b 外に出力されないようになっている点だけが異なる。

#### 【0063】

図 9 は、第 3 の実施の形態に係る P C I バスの障害解析容易化方式の処理例を示すフローチャートである。この処理は、図 4 に示した第 1 の実施の形態に係る P C I バスの障害解析容易化方式の処理と比較して、ステップ S 2 0 5 がステップ S 2 0 5' に置き換えられているとともに、ステップ S 1 0 7 が付加されている点だけが異なる。

#### 【0064】

このように構成された第 3 の実施の形態に係る P C I バスの障害解析容易化方式では、第 1 の実施の形態に係る P C I バスの障害解析容易化方式においては、同時に複数の P C I デバイスのターゲット動作信号がアクティブになった場合に、エラー報告信号 2 1 0 でプロセッサ部 1 に割り込み報告するようにしていたが、同様の場合に、P C I リセット生成回路 2 0 6 がエラーステータス回路 2 0 5 の内容を保持したまま、P C I バス 1 0 のリセットを実行し（図 9 のステップ S 2 0 5' ）、P C I バス 1 0 に接続されたすべての P C I デバイス a 1 0 0 ~ P C I デバイス d 1 3 0 をリセットする。

#### 【0065】

プロセッサ部 1 は、P C I バス 1 0 のリセットを検出し（図 9 のステップ S 1 0 7 ）、P C I バス 1 0 を介して P C I バス監視回路 2 0 0 のエラーステータス回



路205を参照し、ターゲット動作信号b30とターゲット動作信号d50とがアクティブになったことを記憶するとともに、ターゲットデバイス選択回路203から特定されるPCIターゲットデバイスがPCIデバイスb110であることから、PCIデバイスd140が誤応答したと判断し（図9のステップS105）、以降で、エラーリカバリ処理を実行する（図9のステップS106）。

#### 【0066】

このように、第3の実施の形態では、同時に複数のPCIデバイスa100～PCIデバイスd130がPCIターゲットデバイスとして応答したためにPCIバス10上のプロトコルが不正となり、デッドロック状態となってしまった場合にも、その後のプロセッサ部1からエラーステータス回路205の参照動作を確実に行えるという効果がある。

#### 【0067】

##### （4）第4の実施の形態

図10は、本発明の第4の実施の形態に係るPCIバスの障害解析容易化方式におけるPCIバス監視回路200cの構成を示す回路ブロック図である。このPCIバス監視回路200cは、図8に示した第3の実施の形態に係るPCIバスの障害解析容易化方式におけるPCIバス監視回路200bと比較して、ターゲット動作信号a20～ターゲット動作信号d50がアドレス格納回路201に入力されていない点だけが異なる。

#### 【0068】

図11は、第4の実施の形態に係るPCIバスの障害解析容易化方式の処理例を示すフローチャートである。この処理は、図9に示した第3の実施の形態に係るPCIバスの障害解析容易化方式の処理と比較して、ステップS103がステップS103'に置き換えられているとともに、ステップS201が削除されている点だけが異なる。

#### 【0069】

このように構成された第4の実施の形態に係るPCIバスの障害解析容易化方式では、第3の実施の形態に係るPCIバスの障害解析容易化方式がPCIバス監視回路200bでプロセッサ部1の初期設定動作をスヌープし、PCIデバイス

a100～PCIデバイスd130のベースアドレスおよびサイズをアドレス格納回路201に格納していたのに対して（図9のステップS201）、プロセッサ部1が初期設定動作の一動作としてアドレス格納回路201にPCIデバイスa100～PCIデバイスd130のベースアドレスおよびサイズをターゲット動作信号a20～ターゲット動作信号d50と対応づけて設定する（図11のステップS103'）。その他の動作は、第3の実施の形態に係るPCIバスの障害解析容易化方式の場合と全く同様である。

#### 【0070】

このように、第4の実施の形態では、ターゲット動作信号a20～ターゲット動作信号d50をアドレス格納回路201に入力する必要がなくなるので、第3の実施の形態に比べて、PCIバス監視回路200cの回路を簡略化できる効果がある。

#### 【0071】

##### （5）第5の実施の形態

図12は、本発明の第5の実施の形態に係るPCIバスの障害解析容易化方式の構成を示す回路ブロック図である。本実施の形態に係るPCIバスの障害解析容易化方式は、図1に示した第1の実施の形態に係るPCIバスの障害解析容易化方式に比較して、プロセッサ部1のホストブリッジ3からPCIバス監視回路200dにターゲット動作信号e60が供給されている点だけが異なる。

#### 【0072】

図13は、PCIバス監視回路200dのより詳細な構成を示す回路ブロック図である。このPCIバス監視回路200dは、図2に示した第1実施の形態に係るPCIバス監視回路200に比較して、アドレス格納回路201およびターゲット比較回路204にターゲット動作信号e60が供給されるようになっている点だけが異なる。

#### 【0073】

このように構成された第5の実施の形態に係るPCIバスの障害解析容易化方式では、プロセッサ部1およびPCIデバイスa100～PCIデバイスd130がPCIターゲットデバイスとして応答する場合に、プロセッサ部1からターゲ

ット動作信号 e 60 を P C I バス監視回路 200 d に接続しているので、プロセッサ部 1 の P C I ターゲットデバイスとしての誤応答も検出することができる。

【0074】

(6) 第6の実施の形態

図14は、本発明の第6の実施の形態に係る P C I バスの障害解析容易化方式における P C I バス監視回路 200 e の構成を示す回路ブロック図である。この P C I バス監視回路 200 e は、図13に示した第5の実施の形態に係る P C I バスの障害解析容易化方式における P C I バス監視回路 200 d と比較して、ターゲット動作信号 a 20 ～ターゲット動作信号 d 50 がアドレス格納回路 201 に入力されていない点だけが異なる。

【0075】

このように構成された第6の実施の形態に係る P C I バスの障害解析容易化方式では、第5の実施の形態に係る P C I バスの障害解析容易化方式が P C I バス監視回路 200 d でプロセッサ部 1 の初期設定動作をスヌープし、プロセッサ部 1 および P C I デバイス a 100 ～ P C I デバイス d 130 のベースアドレスおよびサイズをアドレス格納回路 201 に格納していたのに対して、プロセッサ部 1 が初期設定動作の一動作としてアドレス格納回路 201 にプロセッサ部 1 および P C I デバイス a 100 ～ P C I デバイス d 130 のベースアドレスおよびサイズをターゲット動作信号 a 20 ～ターゲット動作信号 d 50 と対応づけて設定する。その他の動作は、第5の実施の形態に係る P C I バスの障害解析容易化方式の場合と全く同様である。

【0076】

このように、第6の実施の形態では、ターゲット動作信号 a 20 ～ターゲット動作信号 d 50 をアドレス格納回路 201 に入力する必要がなくなるので、第5の実施の形態に比べて、P C I バス監視回路 200 e の回路を簡略化できる効果がある。

【0077】

(7) 第7の実施の形態

図15は、本発明の第7の実施の形態に係る P C I バスの障害解析容易化方式の

構成を示す回路ブロック図である。本実施の形態に係る P C I バスの障害解析容易化方式は、図 1 2 に示した第 5 の実施の形態に係る P C I バスの障害解析容易化方式と比較して、エラー報告信号 2 1 0 を除いた点だけが異なる。ただし、P C I バス監視回路 2 0 0 d は、P C I バス監視回路 2 0 0 f に変更されている。

#### 【0078】

図 1 6 は、P C I バス監視回路 2 0 0 f のより詳細な構成を示す回路ブロック図である。この P C I バス監視回路 2 0 0 f は、図 1 3 に示した第 5 の実施の形態に係る P C I バスの障害解析容易化方式における P C I バス監視回路 2 0 0 d と比較して、エラーステータス回路 2 0 5 の結果（エラー報告信号 2 1 0 に相当）が入力される P C I リセット生成回路 2 0 6 が増設されて、エラー報告信号 2 1 0 が P C I バス監視回路 2 0 0 f 外に出力されないようになっている点だけが異なる。

#### 【0079】

このように構成された第 7 の実施の形態に係る P C I バスの障害解析容易化方式では、1 つの P C I サイクルに対して複数の P C I ターゲットデバイスのターゲット動作信号がアクティブになった場合に、P C I リセット生成回路 2 0 6 がエラーステータス回路 2 0 5 の内容を保持したまま、P C I バス 1 0 のリセットを実行し、P C I バス 1 0 に接続されたすべての P C I デバイス a 1 0 0 ~ P C I デバイス d 1 3 0 をリセットする。

#### 【0080】

プロセッサ部 1 は、P C I バス 1 0 のリセットを検出し、P C I バス 1 0 を介して P C I バス監視回路 2 0 0 f のエラーステータス回路 2 0 5 を参照し、ターゲット動作信号 b 3 0 とターゲット動作信号 d 5 0 とがアクティブになったことを記憶するとともに、ターゲットデバイス選択回路 2 0 3 から特定される P C I ターゲットデバイスが P C I デバイス b 1 1 0 であることから、P C I デバイス d 1 4 0 が誤応答したと判断し、以降で、エラーリカバリ処理を実行する。

#### 【0081】

このように、第 7 の実施の形態では、プロセッサ部 1 および複数の P C I デバイス a 1 0 0 ~ P C I デバイス d 1 3 0 のうちの複数の P C I ターゲットデバイス

が同時に応答したためにPCIバス10上のプロトコルが不正となり、デッドロック状態となってしまった場合にも、その後のプロセッサ部1からエラーステータス回路205の参照動作を確実に行えるという効果がある。

#### 【0082】

##### (8) 第8の実施の形態

図17は、本発明の第8の実施の形態に係るPCIバスの障害解析容易化方式におけるPCIバス監視回路200gの構成を示す回路ブロック図である。このPCIバス監視回路200gは、図16に示した第7の実施の形態に係るPCIバスの障害解析容易化方式におけるPCIバス監視回路200fと比較して、ターゲット動作信号a20～ターゲット動作信号e60がアドレス格納回路201に入力されていない点だけが異なる。

#### 【0083】

このように構成された第8の実施の形態に係るPCIバスの障害解析容易化方式では、第7の実施の形態に係るPCIバスの障害解析容易化方式がPCIバス監視回路200fでプロセッサ部1の初期設定動作をスヌープし、プロセッサ部1およびPCIデバイスa100～PCIデバイスd130のベースアドレスおよびサイズをアドレス格納回路201に格納していたのに対して、プロセッサ部1が初期設定動作の一動作としてアドレス格納回路201にプロセッサ部1およびPCIデバイスa100～PCIデバイスd130のベースアドレスおよびサイズをターゲット動作信号a20～ターゲット動作信号d50と対応づけて設定する。その他の動作は、第7の実施の形態に係るPCIバスの障害解析容易化方式の場合と全く同様である。

#### 【0084】

このように、第8の実施の形態では、ターゲット動作信号a20～ターゲット動作信号d50をアドレス格納回路201に入力する必要がなくなるので、第7の実施の形態に比べて、PCIバス監視回路200gの回路を簡略化できる効果がある。

#### 【0085】

なお、本発明は、これまでに説明した実施の形態に限定されるものではなく、そ

の要旨を逸脱しない範囲で種々に変更可能である。たとえば、各実施の形態に係る P C I バスの障害解析容易化方式では 4 つの P C I デバイス a 1 0 0 ~ P C I デバイス d 1 3 0 が存在するものとしたが、2 つ以上の P C I デバイスが接続された P C I バス 1 0 であれば本発明を実現することが可能である。

【0086】

【発明の効果】

本発明の効果は、P C I バスにおいて、1 つの P C I サイクルに対し複数の P C I ターゲットデバイスが応答した場合の障害解析を容易に、かつ確実にできる点である。

【0087】

容易に行える理由は、P C I バス監視回路には、本来 P C I ターゲットデバイスとして応答してはならないデバイスを特定できる機能を有しており、プロセッサ部がこれを参照することで誤応答の P C I ターゲットデバイスを特定できるためである。

【0088】

また、確実にできる理由は、上記障害のような場合、P C I マスタデバイスからは正常に応答した P C I ターゲットデバイスの故障と判断されてしまい、別の誤応答を行った P C I ターゲットデバイスの障害とは判断し難いが、P C I バス監視回路では本来 P C I ターゲットデバイスとして応答してはならない P C I デバイスが応答したとの情報が格納され、正常に応答した P C I ターゲットデバイスと不正に応答した P C I ターゲットデバイスとの切り分けが可能のためである。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る P C I バスの障害解析容易化方式の構成を示す回路ブロック図である。

【図 2】

図 1 中の P C I バス監視回路のより詳細な構成を示す回路ブロック図である。

【図 3】

図 1 中のプロセッサ部が作成する P C I デバイスのメモリ空間アドレスマップの

一例を示す図である。

【図 4】

第 1 の実施の形態に係る P C I バスの障害解析容易化方式の処理例を示すフローチャートである。

【図 5】

本発明の第 2 の実施の形態に係る P C I バスの障害解析容易化方式における P C I バス監視回路の構成を示す回路ブロック図である。

【図 6】

第 2 の実施の形態に係る P C I バスの障害解析容易化方式の処理例を示すフローチャートである。

【図 7】

本発明の第 3 の実施の形態に係る P C I バスの障害解析容易化方式の構成を示す回路ブロック図である。

【図 8】

図 7 中の P C I バス監視回路のより詳細な構成を示す回路ブロック図である。

【図 9】

第 3 の実施の形態に係る P C I バスの障害解析容易化方式の処理例を示すフローチャートである。

【図 1 0】

本発明の第 4 の実施の形態に係る P C I バスの障害解析容易化方式における P C I バス監視回路の構成を示す回路ブロック図である。

【図 1 1】

第 4 の実施の形態に係る P C I バスの障害解析容易化方式の処理例を示すフローチャートである。

【図 1 2】

本発明の第 5 の実施の形態に係る P C I バスの障害解析容易化方式の構成を示す回路ブロック図である。

【図 1 3】

図 1 2 中の P C I バス監視回路のより詳細な構成を示す回路ブロック図である。

【図 14】

本発明の第 6 の実施の形態に係る P C I バスの障害解析容易化方式における P C I バス監視回路の構成を示す回路ブロック図である。

【図 15】

本発明の第 7 の実施の形態に係る P C I バスの障害解析容易化方式の構成を示す回路ブロック図である。

【図 16】

図 15 中の P C I バス監視回路のより詳細な構成を示す回路ブロック図である。

【図 17】

本発明の第 8 の実施の形態に係る P C I バスの障害解析容易化方式における P C I バス監視回路の構成を示す回路ブロック図である。

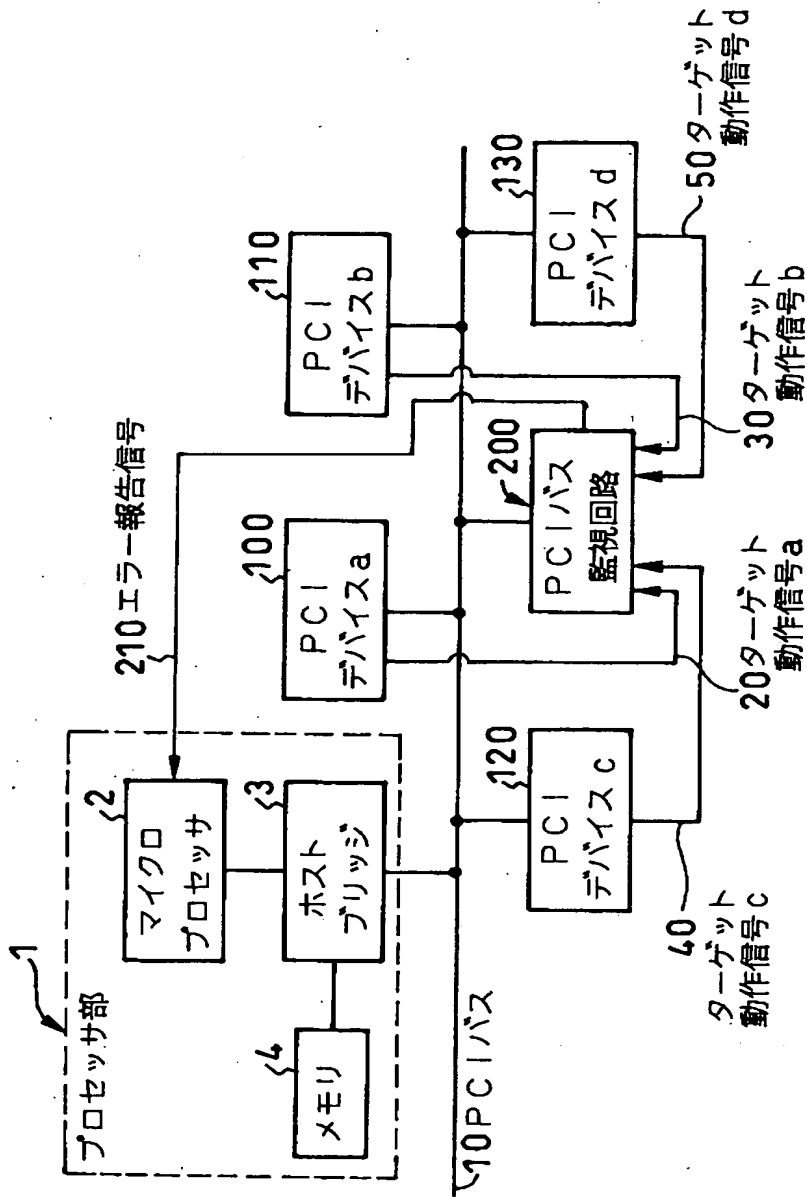
【符号の説明】

- 1    プロセッサ部
- 2    マイクロプロセッサ
- 3    ホストブリッジ
- 4    メモリ
- 10   P C I バス
- 20～60   ターゲット動作信号 a～e
- 100～130   P C I デバイス a～d
- 200, 200 a～200 g   P C I バス監視回路
- 201   アドレス格納回路
- 202   アドレスラッチ回路
- 203   ターゲットデバイス選択回路
- 204   ターゲット比較回路
- 205   エラーステータス回路
- 206   P C I リセット生成回路
- 210   エラー報告信号

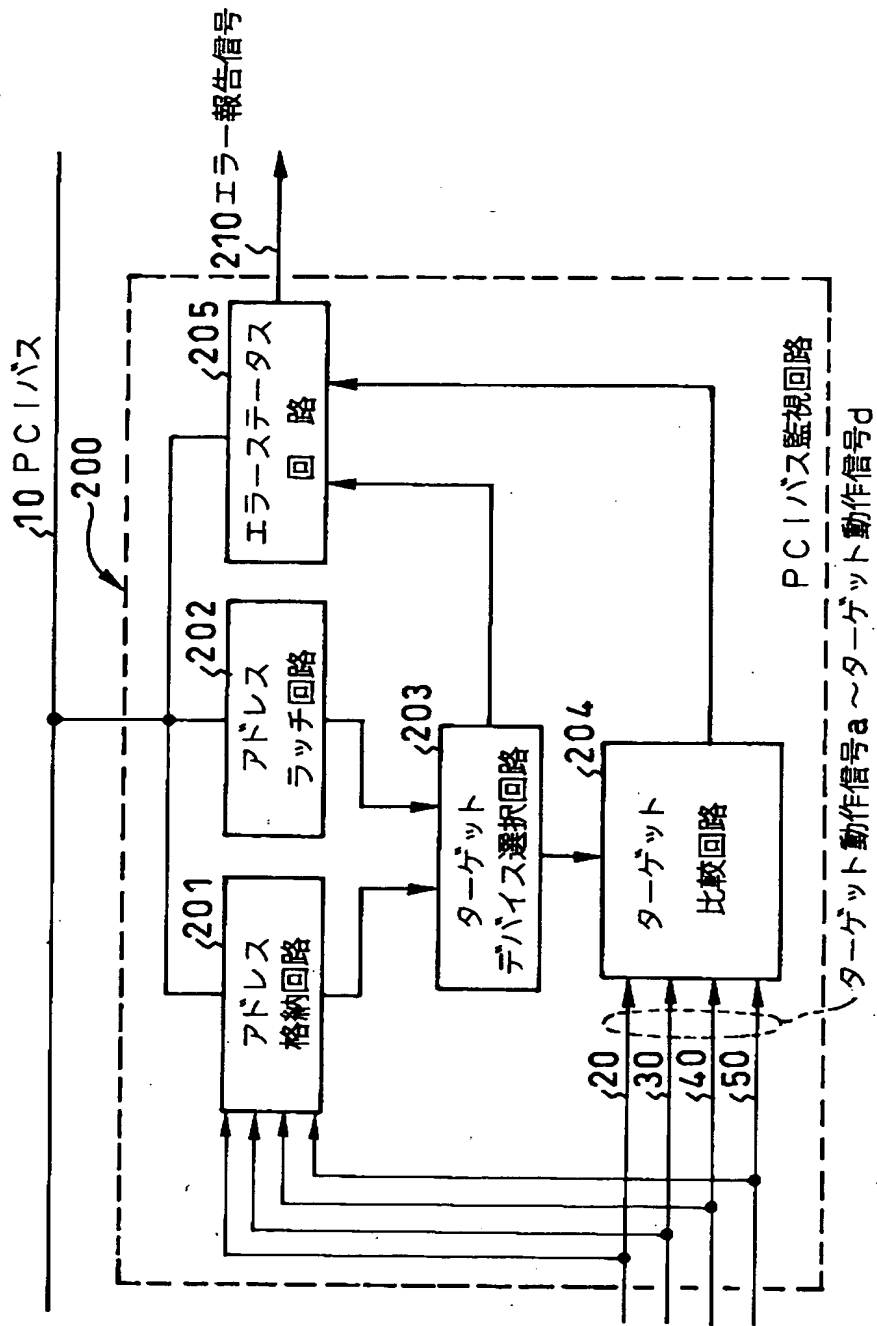


【書類名】 図面

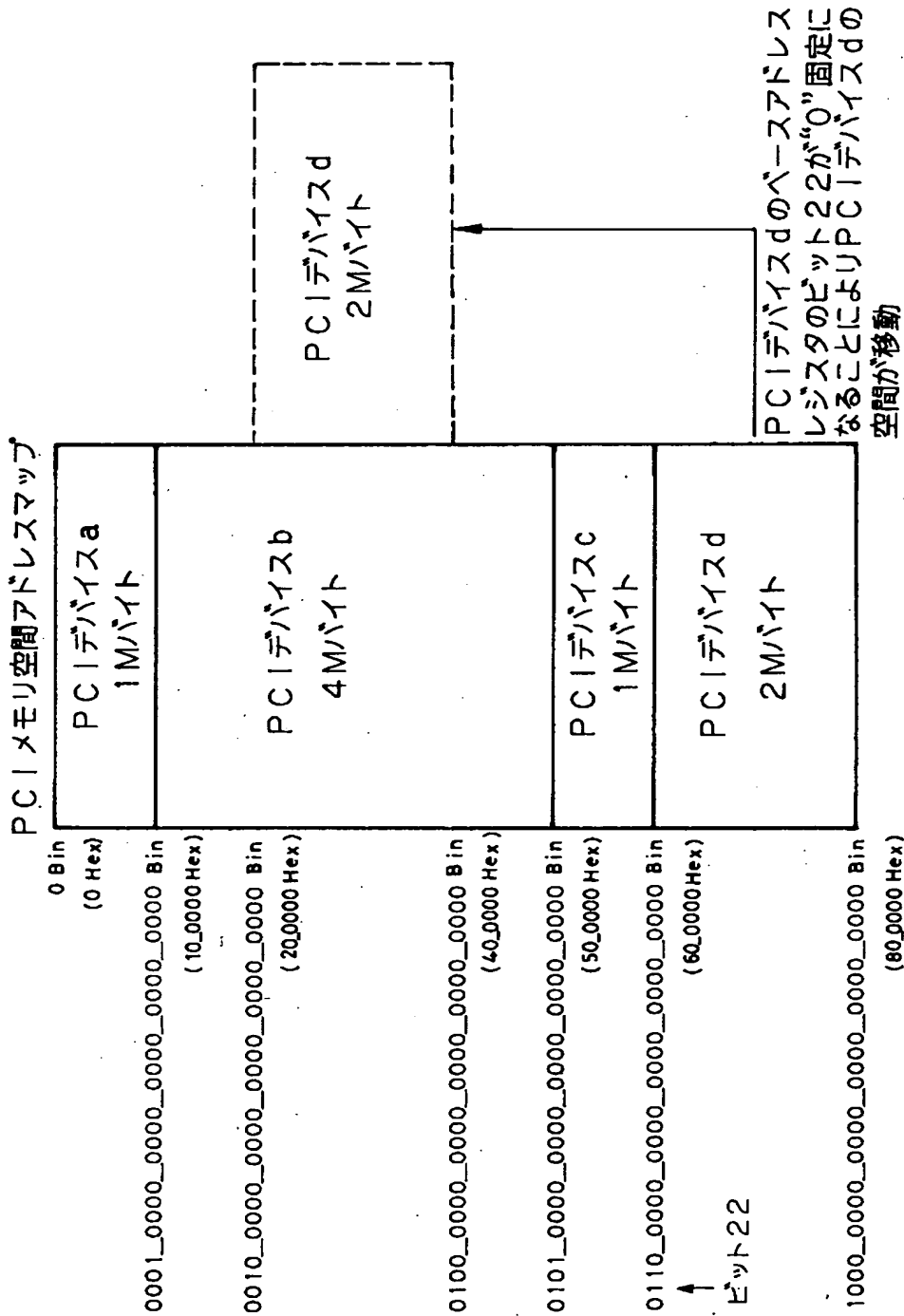
【図 1】



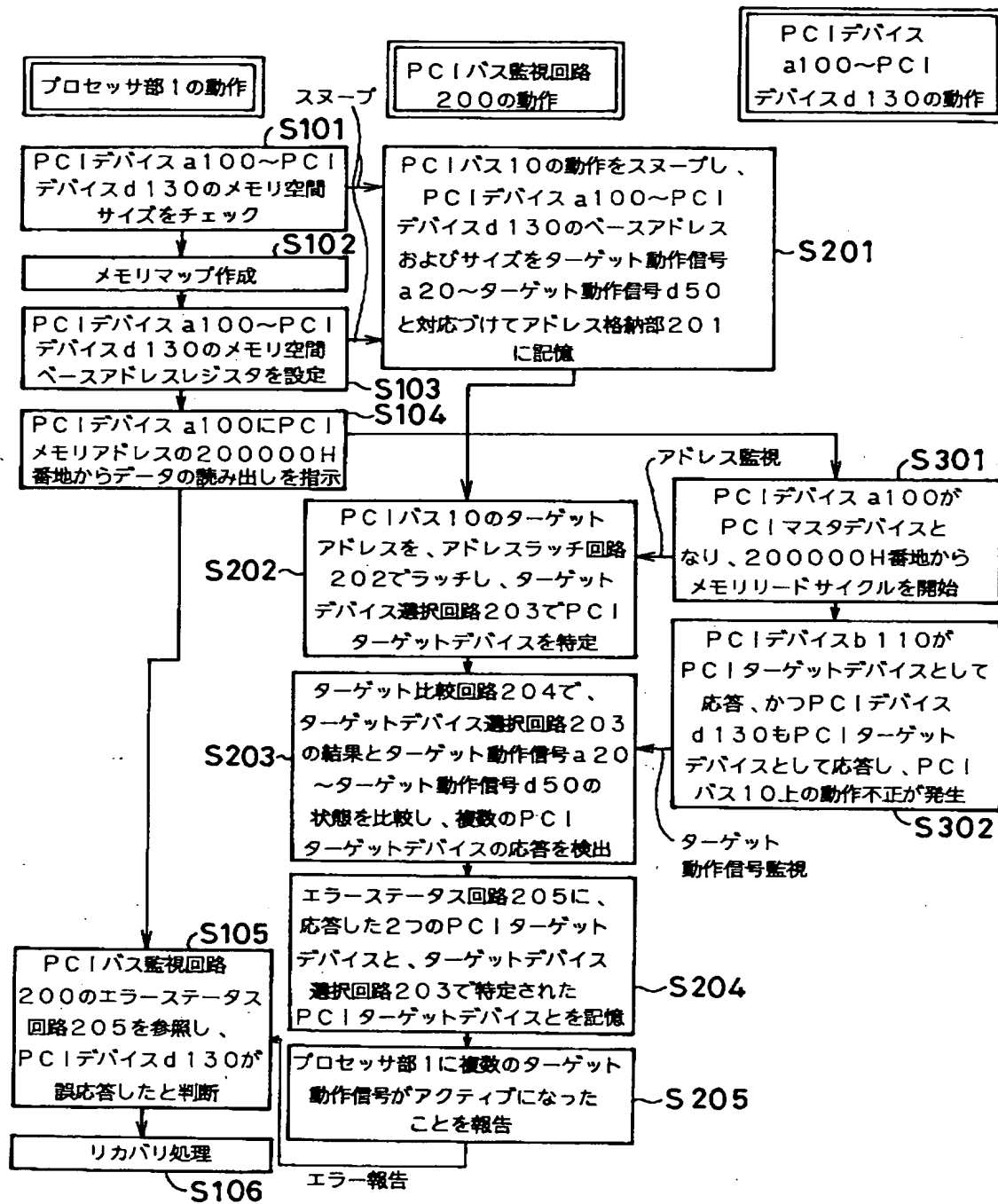
【図 2】



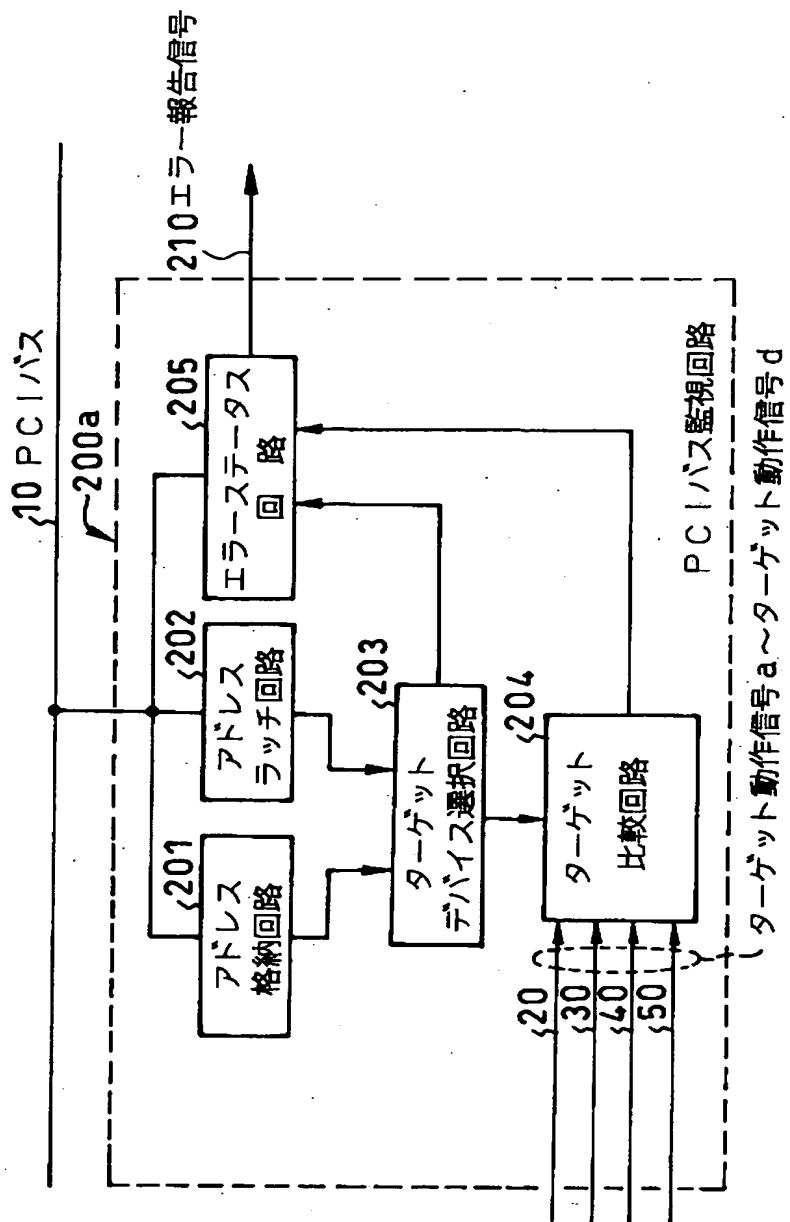
【図 3】



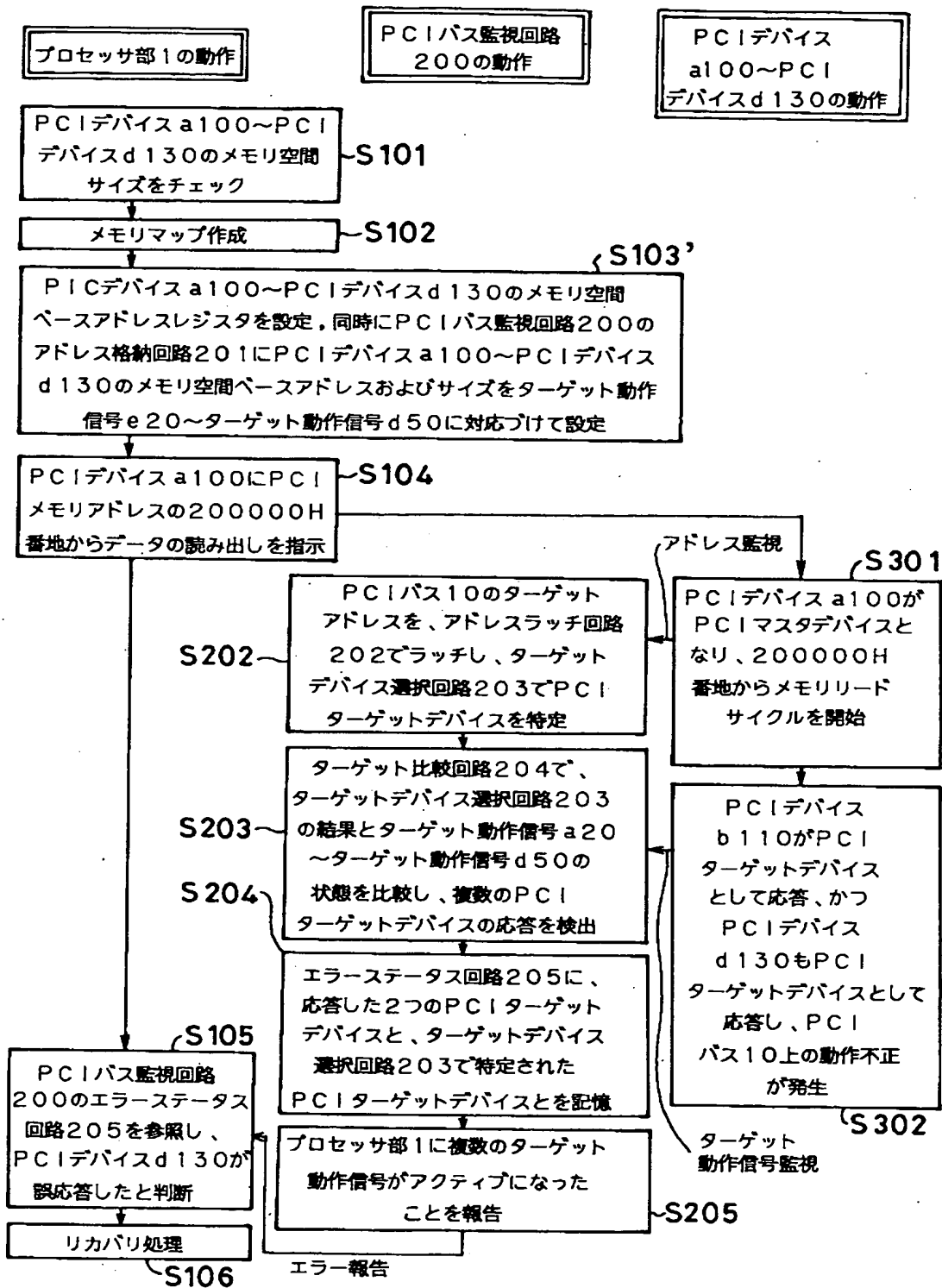
【図 4】



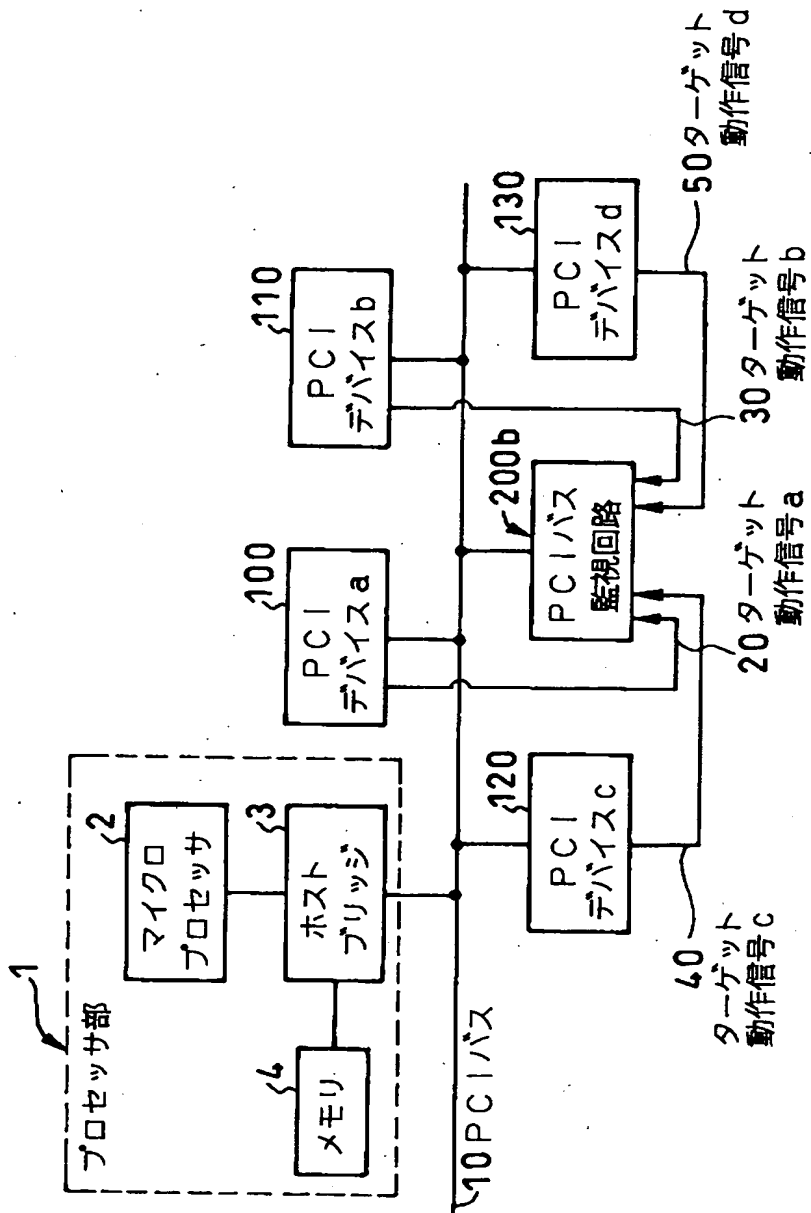
【図 5】



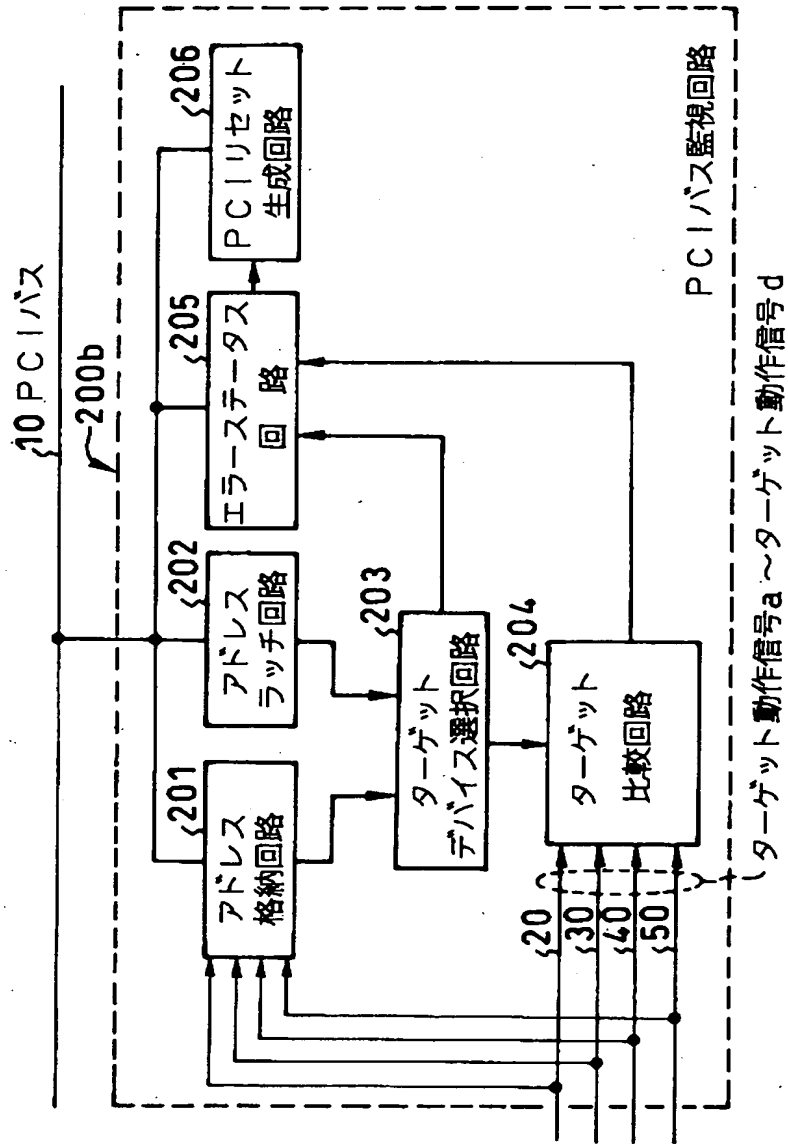
【図 6】



【図 7】

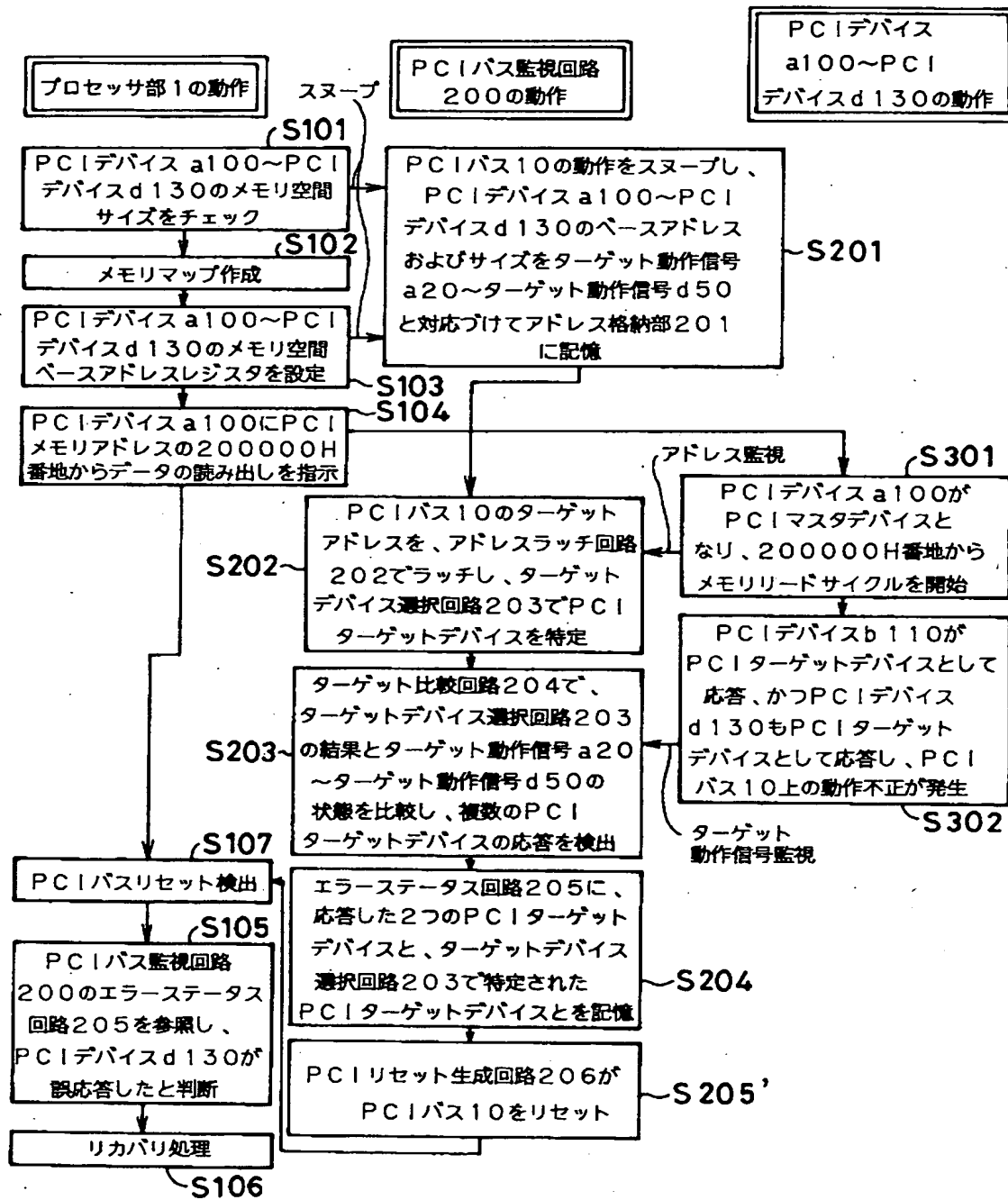


【図 8】

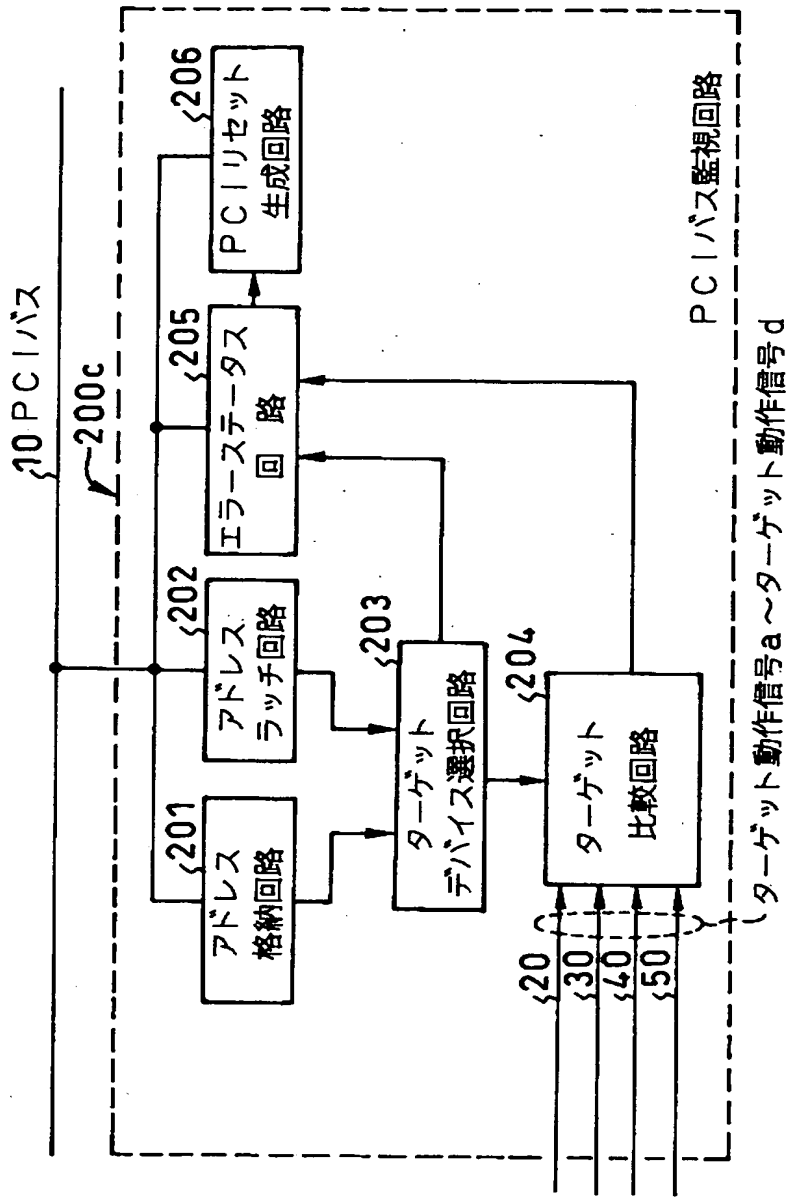




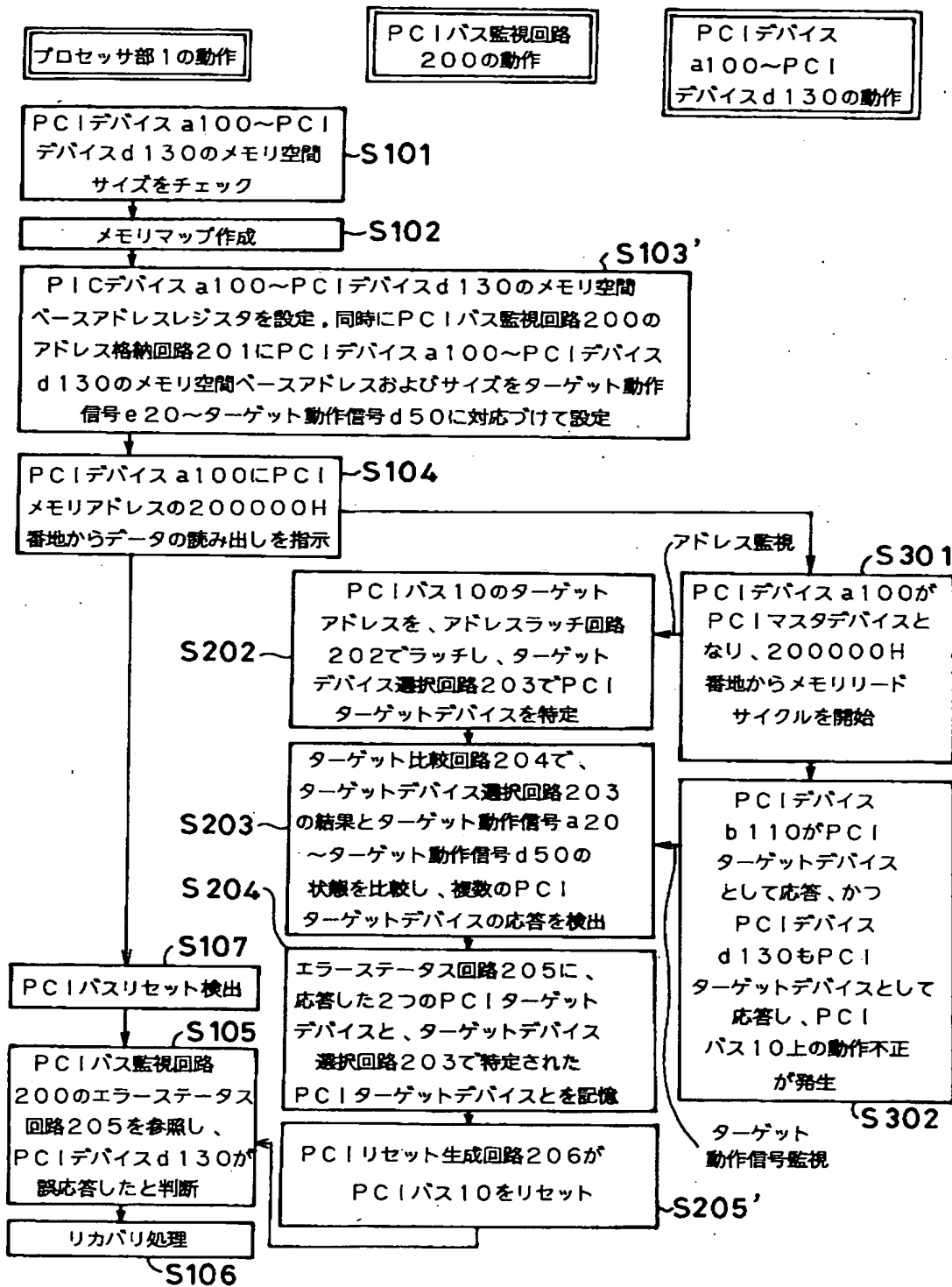
【図 9】



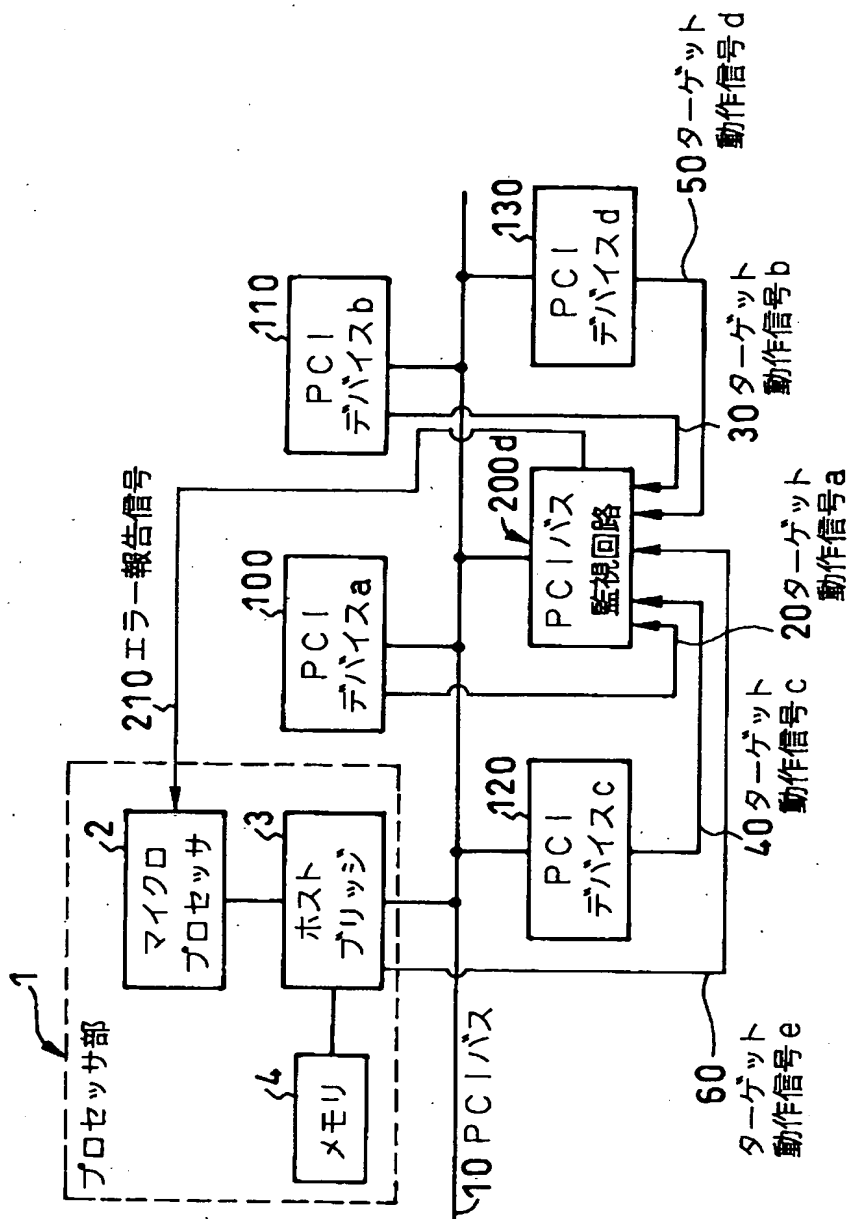
【図10】



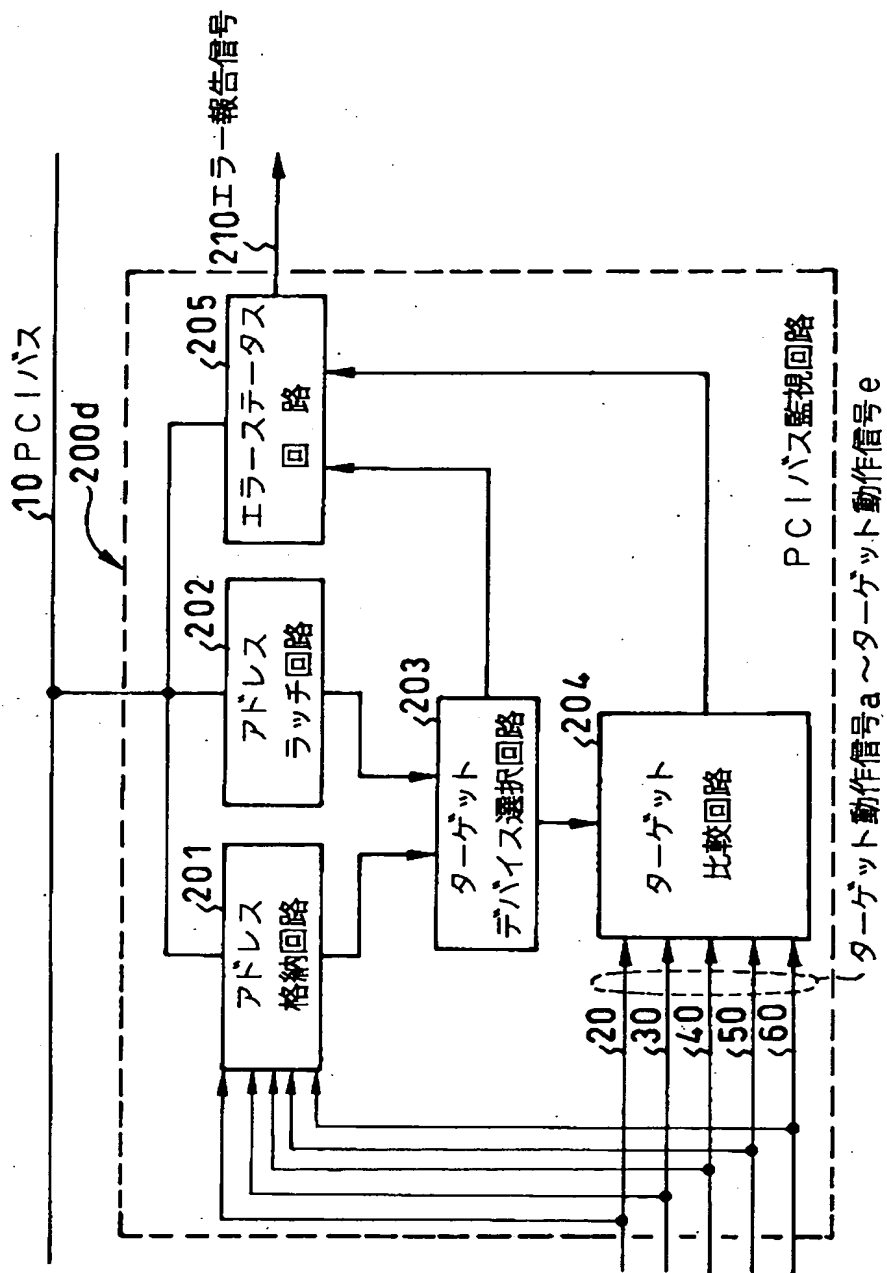
【図 11】



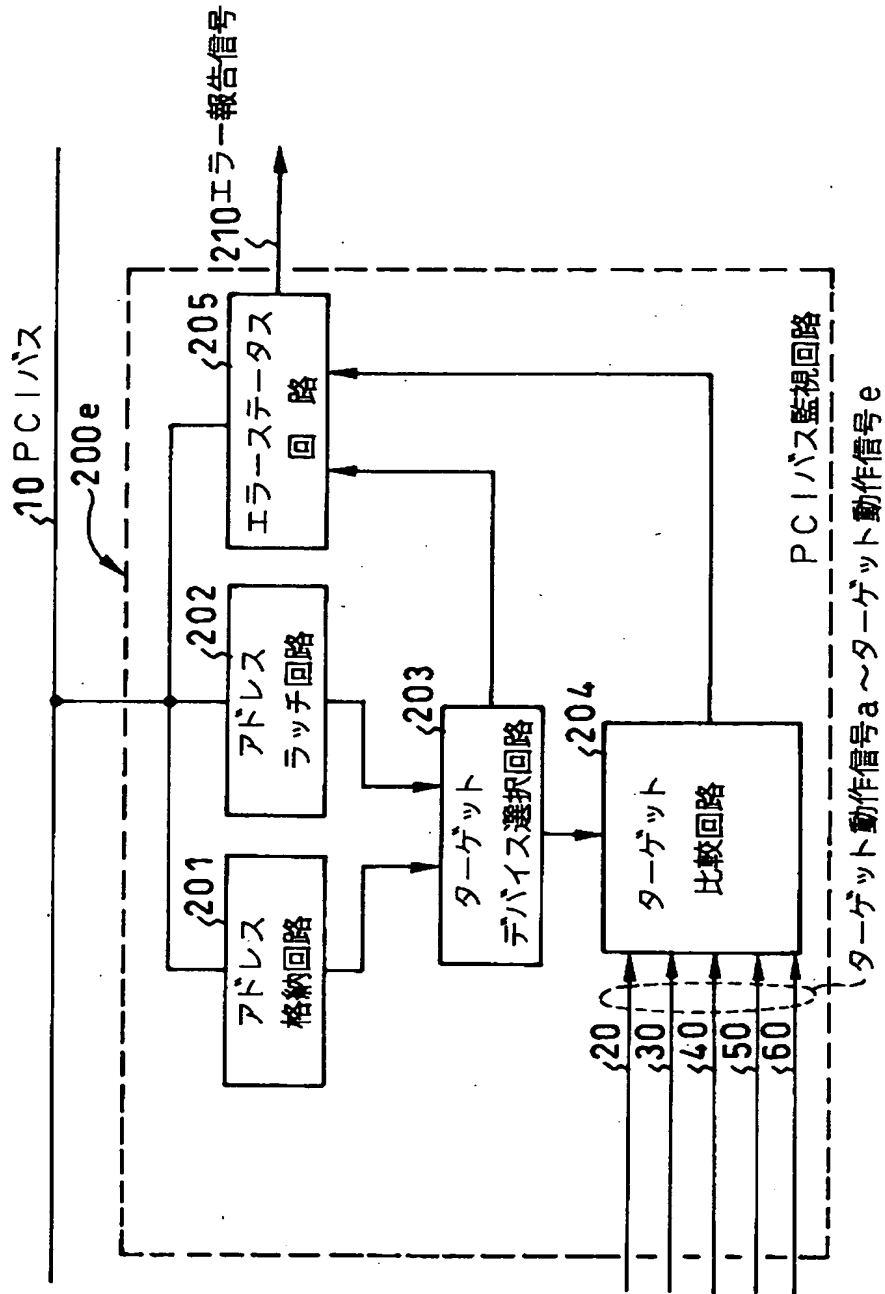
【図 12】



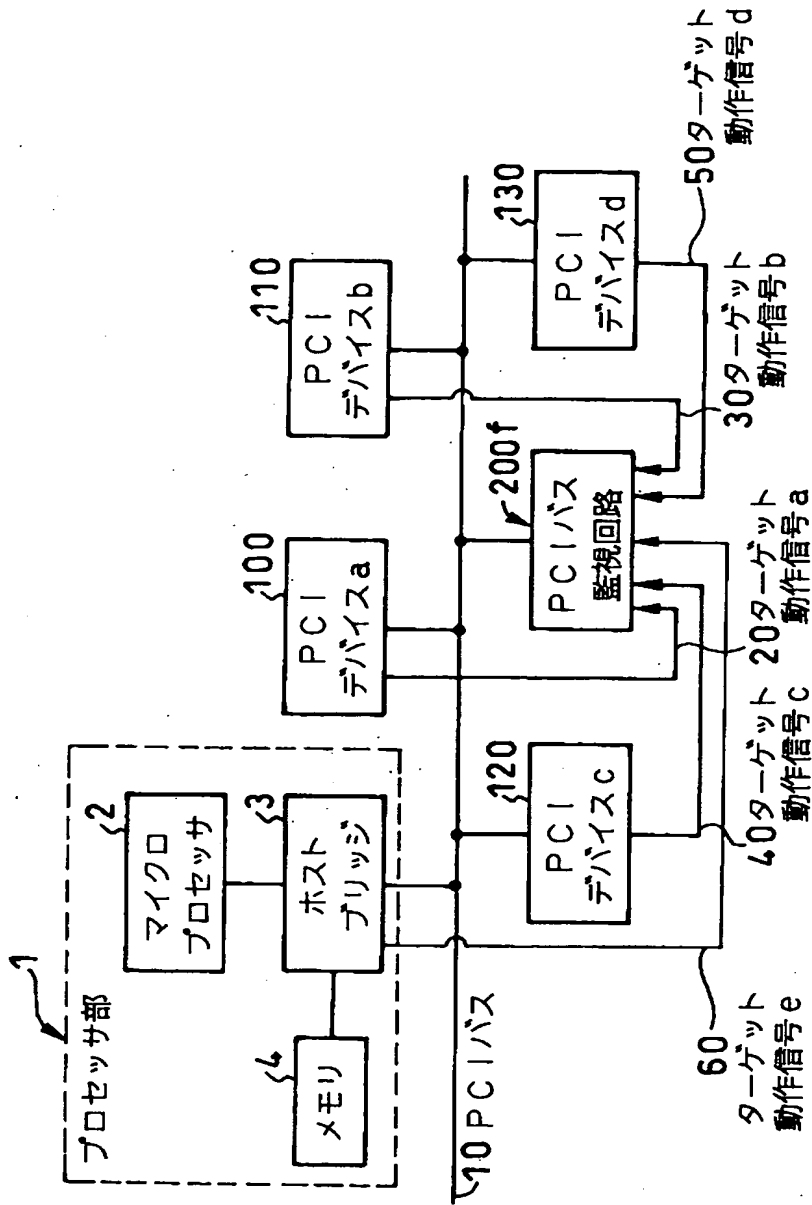
【図13】



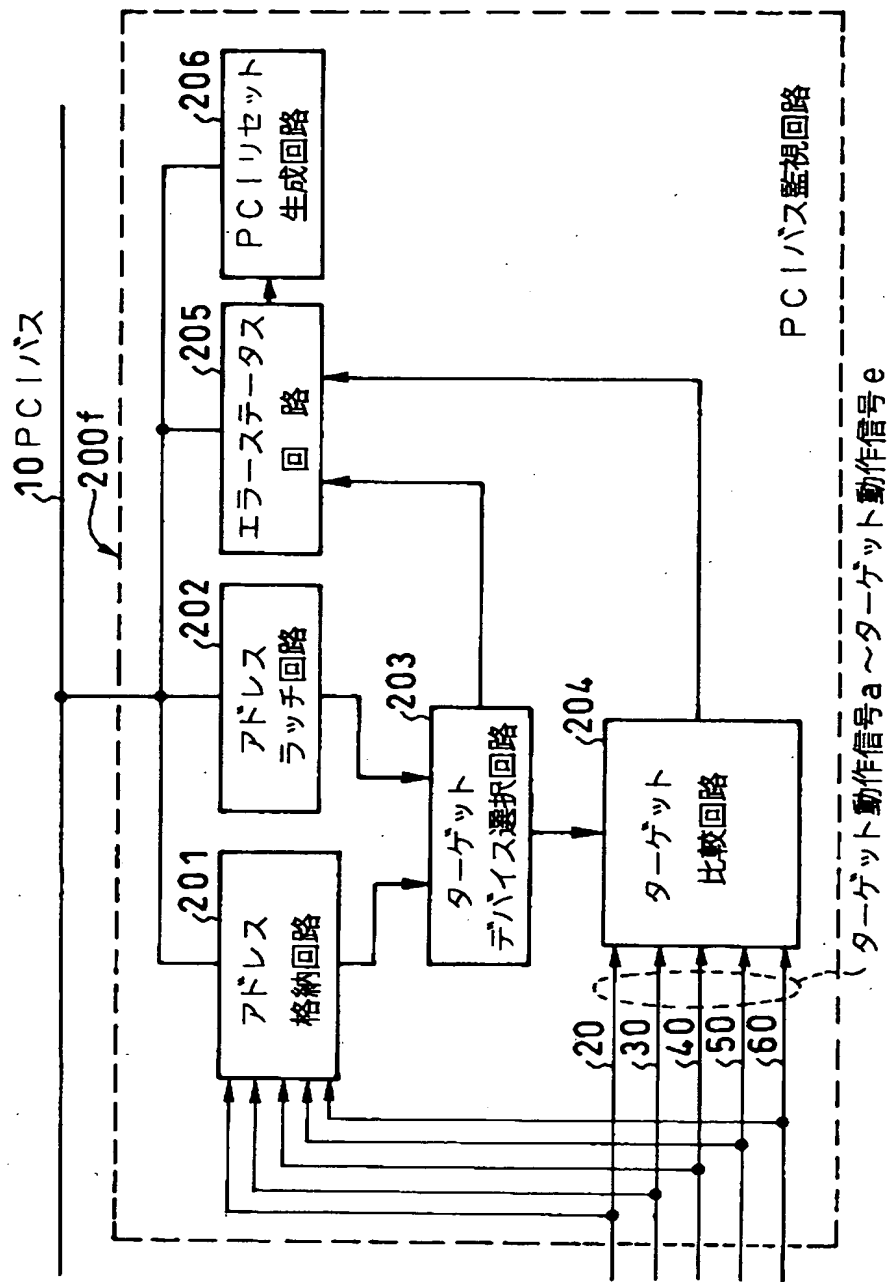
【図 14】



【図 15】

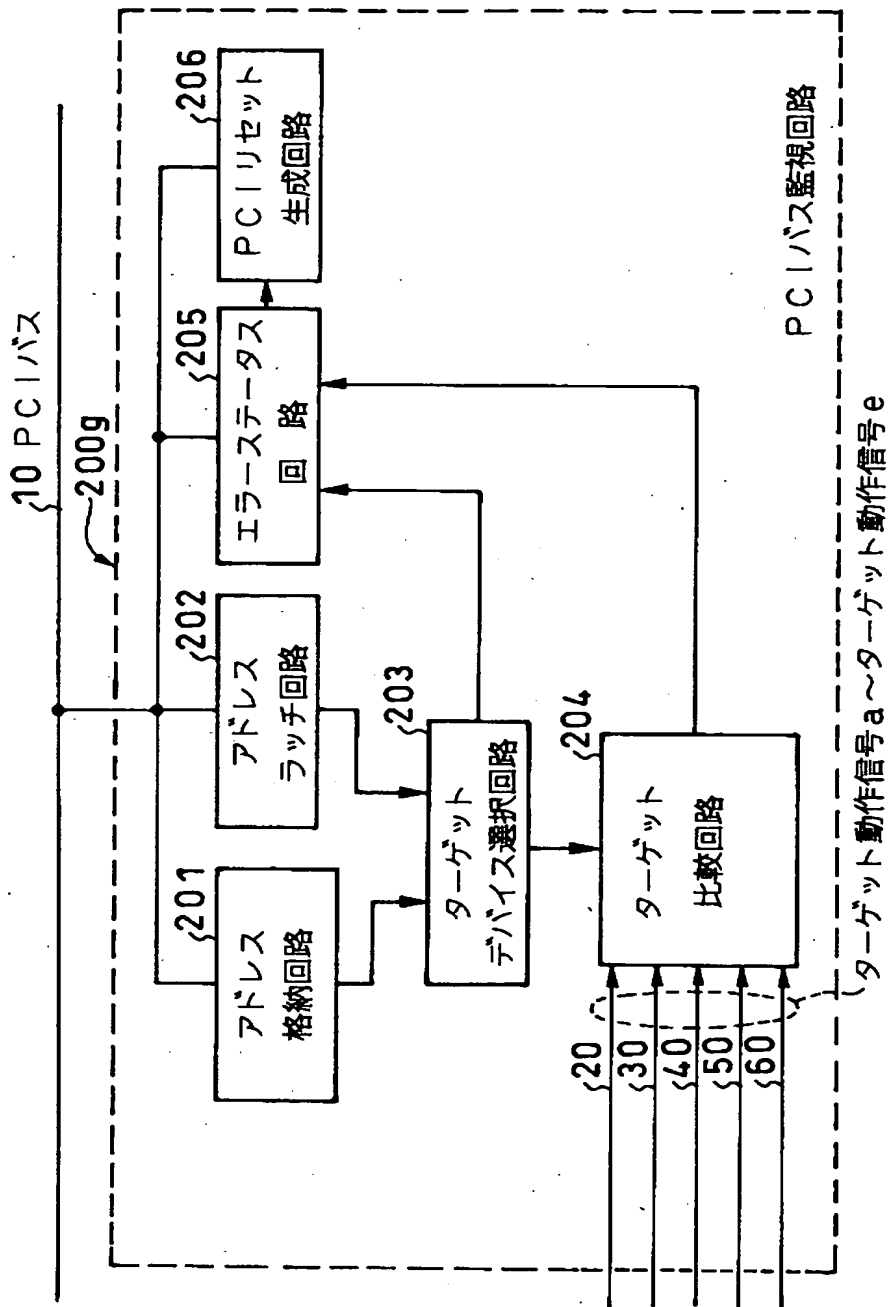


【図 16】





【図17】



【書類名】 要約書

【要約】

【課題】 1つのP C Iサイクルに複数のP C Iターゲットデバイスが応答し、P C Iプロトコルが不正になった場合などのエラー検出を可能にする。

【解決手段】 プロセッサ部1がP C Iバス10を介して複数のP C Iデバイスa 1 0 0～d 1 3 0に接続されたコンピュータ装置において、複数のP C Iデバイスa 1 0 0～d 1 3 0は、P C Iターゲットデバイスとしての動作時にターゲット動作信号a 2 0～d 5 0をアクティブにする。P C Iバス監視回路200は、P C Iバス10上で実行されるコマンドのターゲットアドレスおよび複数のP C Iデバイスa 1 0 0～d 1 3 0からのターゲット動作信号a 2 0～d 5 0を監視し、1つのP C Iサイクルに対して複数のP C Iターゲットデバイスが応答した場合にプロセッサ部1にエラー報告信号210を上げる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001-013923
受付番号	50100084435
書類名	特許願
担当官	第七担当上席 0096
作成日	平成13年 1月24日

<認定情報・付加情報>

【提出日】	平成13年 1月23日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日  
[変更理由] 新規登録  
住 所 東京都港区芝五丁目7番1号  
氏 名 日本電気株式会社